

JONATHAN CERTES | CV

» Ingénieur R&D - Vérification formelle | 10 ans d'expérience «



- » **Statut:** Docteur - vérification de systèmes embarqués critiques
- » **Activités:** Conception, Vérification, Recherche, Enseignement
- » **Programmation:** C/C++, Assembleur, Python, Tcl/Tk
- » **Modélisation:** Verilog/VHDL, LTL/PSL, Coq, SPICE, SystemC
- » **Materiel:** FPGA, System on Chip Xilinx Zynq-7000, { AXI, SPI, I2C, UART }

Ingénieur R&D - Vérification formelle (*Keysom, Bordeaux*) 2024-aujourd'hui

- » Vérification formelle: architectures de processeurs RISC-V
- » Conception / Modélisation / Vérification: SystemVerilog, Coq, Python

Chargé d'enseignement (*ENSEEIH / U-Bordeaux*) 2019-aujourd'hui

- » Sécurité des communications, sécurité des applications web, Pare-feu, VPN
- » Architecture des ordinateurs, vulnérabilités logicielles, systèmes d'exploitation

Doctorant Informatique et Télécommunications (*Université Toulouse III*) 2019-2023

- » Méthode de vérification formelle automatisée de systèmes matériels
- » Attestation à distance de microprocesseurs vérifiée formellement

Ingénieur systèmes embarqués (*BiBench Systems, Toulouse*) 2017-2019

- » Recherche et développement: vieillissement des composants électronique (contrat CNES)
- » Conception / Modélisation / Vérification: C embarqué, VHDL, PCB

Ingénieur électronique (*Dolphin Integration, Grenoble*) 2012-2017

- » Recherche et développement: *crosstalk* / dégradation de SNR sur les modulateurs PWM
- » Conception / Modélisation / Vérification: SPICE, VHDL, Verilog

EXPERIENCES

Activités de recherche - Détails techniques : <https://jcert.es/research/>

Doctorat - Informatique et Télécommunications (*Université Toulouse III*) 2019-2023

- » Méthodes et modèles pour la vérification formelle de l'attestation à distance sur microprocesseur
- » Chargé d'enseignement: Sécurité, VHDL, API noyau Linux

Ingénieur en électronique / Master recherche (*Université de Bordeaux*) 2007-2011

- » Master recherche EEA, Université Bordeaux 1, mention Bien
- » ENSEIRB-MATMECA - *Circuits et Systèmes Intégrés*, mention Assez-Bien

Classes préparatoires aux grandes écoles (*Brive-La-Gaillarde*) 2005-2007

- » TSI - Technologie et Sciences de l'Ingénieur
- » Concours Communs Polytechnique (rang: 25) et écoles centrales (rang: 34)

Séjours à l'étranger (stages) 2010-2011

- » ColArt Ltd, Londres, Angleterre (3 mois)
- » Laboratoire de Conception de Circuits Intégrés, Salvador da Bahia, Brésil (8 mois)

FORMATION